

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-144176**

(43)Date of publication of application : **25.05.2001**

(51)Int.Cl.

H01L 21/768
H01L 21/318
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : **11-322859**

(71)Applicant : **SANYO ELECTRIC CO LTD**

(22)Date of filing : **12.11.1999**

(72)Inventor : **NOMA TAKASHI
HARA SEIJI
SAITO KIMIHIDE
KAWAI AKIRA
SHIKANUMA YOICHI
OKADA KAZUHISA**

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To relax stresses of a film-covering metal wirings to metal wirings and reduce the inter-line capacitance between the wirings.

SOLUTION: By using an SiON film is used as a film (inter-layer insulation film/passivation film) covering metal wirings 10, 20 formed on memory cells composed of floating gates 4, control gates 6, etc. This is intended to reduce the inter-line capacitance between the wirings and reduces the stresses exerted on the metal wirings 10, 20, to thereby suppress the form deterioration of the metal wirings 10, 20.

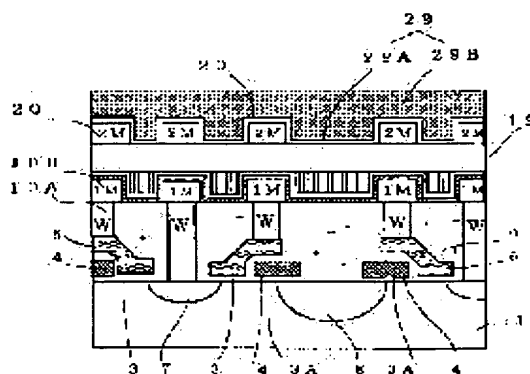


図1：本発明の半導体装置の断面図
29：パッシベーション膜

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144176

(P2001-144176A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int. Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L	21/768	H 0 1 L 21/318	C 5 F 0 0 1
	21/318	21/90	M 5 F 0 3 3
	27/115	27/10	4 3 4 5 F 0 5 8
	21/8247	29/78	3 7 1 5 F 0 8 3
	29/788		5 F 1 0 1

審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-322859

(22) 出願日 平成11年11月12日 (1999. 11. 12)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 野間 崇

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 原 政治

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

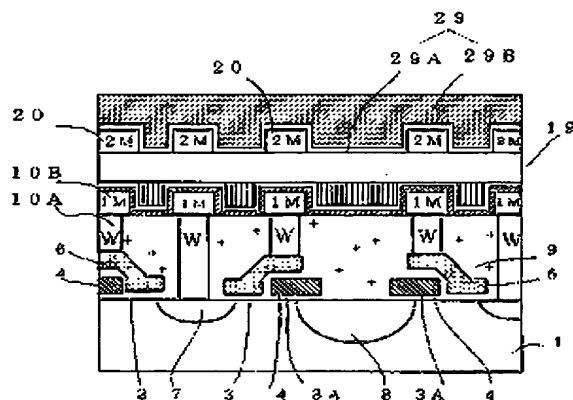
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 金属配線を被覆する膜による当該金属配線へのストレス緩和を図ると共に、配線間の線間容量の低減化を可能にする。

【解決手段】 フローティングゲート4とコントロールゲート6等から成るメモリセル部に形成された金属配線10、20を被覆する膜（層間絶縁膜、パッシベーション膜）としてSiON膜を用いることで、配線間の線間容量の低減化を図ると共に、金属配線10、20に加わるストレスを低減化して金属配線10、20の形状悪化を抑制することを特徴とする。



20 : 金属配線 29A : TEOS膜 29B : SiON膜
29 : パッシベーション膜

【特許請求の範囲】

【請求項1】 半導体基板上に形成された1つ以上の金属配線と、この金属配線を被覆し、SiON膜から成るパッシベーション膜とを具備したことを特徴とする半導体装置。

【請求項2】 一導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極に隣接するように前記基板表層に形成された逆導電型の拡散領域と、基板全面を被覆する層間絶縁膜を介して前記拡散領域にコンタクト接続される金属配線とを備えた半導体装置において、前記金属配線を被覆するようにSiON膜から成るパッシベーション膜が形成されていることを特徴とする半導体装置。

【請求項3】 一導電型の半導体基板上に形成されたフローティングゲートと、前記フローティングゲートを被覆するトンネル絶縁膜と、前記トンネル絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記基板の表面に形成される逆導電型の拡散領域と、下層の層間絶縁膜を介して前記コントロールゲート及び／または前記拡散領域にコンタクト接続される金属配線と、前記金属配線を被覆するSiON膜から成るパッシベーション膜とを具備したことを特徴とする半導体装置。

【請求項4】 前記SiON膜は、 N_2O 、 SiH_4 あるいは N_2O 、 N_2 、 SiH_4 あるいは NH_3 、 N_2O 、 SiH_4 等から成る成膜ガスを用いてプラズマCVD法により成膜されたことを特徴とする請求項1または請求項2または請求項3に記載の半導体装置。

【請求項5】 一導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクに前記基板表層に逆導電型の不純物をイオン注入することで当該ゲート電極に隣接するように逆導電型の拡散領域を形成する工程と、基板全面を被覆するように層間絶縁膜を形成した後に当該層間絶縁膜を介して前記拡散領域にコンタクト接続される金属配線を形成する工程と、前記金属配線を被覆するようにSiON膜から成るパッシベーション膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 一導電型の半導体基板の表面を熱酸化してゲート酸化膜を形成する工程と、前記ゲート酸化膜上に第1の導電膜を形成した後にこの第1の導電膜をパターンニングしてフローティングゲート

を形成する工程と、

前記フローティングゲートを被覆するようにトンネル酸化膜を形成する工程と、

前記トンネル酸化膜上に第2の導電膜を形成した後にこの第2の導電膜をパターンニングしてトンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つようにコントロールゲートを形成する工程と、

前記フローティングゲート及びコントロールゲートに隣接するように前記基板表層に逆導電型の拡散領域を形成する工程と、

下層の層間絶縁膜を介して前記コントロールゲート及び／または前記拡散領域にコンタクト接続する金属配線を形成する工程と、

前記金属配線を被覆するようにSiON膜から成るパッシベーション膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項7】 一導電型の半導体基板の表面を熱酸化してゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に第1の導電膜を形成し、この第1の導電膜上に所定のパターンの開口を有する耐酸化膜を形成した後に、前記開口に応じて前記第1の導電膜を選択酸化して選択酸化膜を形成する工程と、

前記選択酸化膜をマスクにして前記第1の導電膜をエッチングして上部に先鋭な角部を有するフローティングゲートを形成する工程と、

前記フローティングゲートを被覆するようにトンネル酸化膜を形成する工程と、

前記トンネル酸化膜上に第2の導電膜を形成した後にこの第2の導電膜をパターンニングしてトンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つようにコントロールゲートを形成する工程と、

前記フローティングゲート及びコントロールゲートに隣接するように前記基板表層に逆導電型の拡散領域を形成する工程と、

下層の層間絶縁膜を介して前記コントロールゲート及び／または前記拡散領域にコンタクト接続する金属配線を形成する工程と、

前記金属配線を被覆するようにSiON膜から成るパッシベーション膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項8】 前記SiON膜は、 N_2O 、 SiH_4 あるいは N_2O 、 N_2 、 SiH_4 あるいは NH_3 、 N_2O 、 SiH_4 等から成る成膜ガスを用いてプラズマCVD法により成膜されたことを特徴とする請求項5または請求項6または請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、更に言えばデバイス特性、特に金属配線間の線間容量の低減化、更には金属配線を被覆する膜

による当該金属配線へのストレス緩和を図る技術に関する。

【0002】

【従来の技術】メモリセル部が単一のトランジスタからなる電氣的に消去可能な、いわゆる不揮発性半導体記憶装置と呼ばれる半導体装置、特にプログラマブルROM (EEPROM:Electrically Erasable and Programmable ROM、フラッシュメモリとも称す。)においては、フローティングゲートとコントロールゲートとを有する2重ゲート構造のトランジスタによって各メモリセル部が形成される。このような2重ゲート構造のメモリセル部トランジスタの場合、フローティングゲートのドレイン領域側で発生したホットエレクトロンを加速してフローティングゲートに注入することでデータの書き込みが行われる。そして、F-N伝導(Fowler-Nordheimtunnelling)によってフローティングゲートからコントロールゲートへ電荷を引き抜くことでデータの消去が行われる。

【0003】図9はフローティングゲートを有する不揮発性半導体記憶装置のメモリセル部分の平面図で、図10はそのX1-X1線の断面図である。この図においては、コントロールゲートがフローティングゲートと並んで配置されるスプリットゲート構造を示している。

【0004】P型のシリコン基板1の表面領域に、LOCOS(Local Oxidation Of Silicon)法により選択的に厚く形成されるLOCOS酸化膜よりなる複数の素子分離膜2が短冊状に形成され、素子領域が区画される。シリコン基板1上に、酸化膜3Aを介し、隣り合う素子分離膜2の間に跨るようにしてフローティングゲート4が配置される。このフローティングゲート4は、1つのメモリセル部毎に独立して配置される。また、フローティングゲート4上の選択酸化膜5は、選択酸化法によりフローティングゲート4の中央部で厚く形成され、フローティングゲート4の端部には先鋭な角部が形成されている。これにより、データの消去動作時にフローティングゲート4の端部で電界集中が生じ易いようにしている。

【0005】複数のフローティングゲート4が配置されたシリコン基板1上に、フローティングゲート4の各列毎に対応して前記酸化膜3Aと一体化されたトンネル酸化膜3を介してコントロールゲート6が配置される。このコントロールゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3Aを介してシリコン基板1に接するように配置される。また、これらのフローティングゲート4及びコントロールゲート6は、それぞれ隣り合う列が互いに面対称となるように配置される。

【0006】前記コントロールゲート6の間の基板領域及びフローティングゲート4の間の基板領域に、N型のドレイン領域7及びソース領域8が形成される。ドレイン領域7は、コントロールゲート6の間に素子分離膜2

に囲まれてそれぞれが独立し、ソース領域8は、コントロールゲート6の延在する方向に連続する。これらのフローティングゲート4、コントロールゲート6、ドレイン領域7及びソース領域8によりメモリセル部トランジスタが構成される。

【0007】そして、前記コントロールゲート6上に、層間絶縁膜9を介して、アルミニウム合金等から成る金属配線10がコントロールゲート6と交差する方向に配置される。この金属配線10は、コンタクトホール11を通して、ドレイン領域7に接続される。そして、各コントロールゲート6は、ワード線となり、コントロールゲート6と平行に延在するソース領域8は、ソース線となる。また、ドレイン領域7に接続される金属配線10は、ビット線となる。

【0008】このような2重ゲート構造のメモリセル部トランジスタの場合、フローティングゲート4に注入される電荷の量によってソース、ドレイン間のオン抵抗値が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセル部トランジスタのオン抵抗値を変動させ、これによって生じる各メモリセル部トランジスタの動作特性の差を記憶するデータに対応づけるようにしている。

【0009】以上の不揮発性半導体記憶装置におけるデータの書き込み、消去及び読み出しの各動作は、例えば、以下のようにして行われる。書き込み動作においては、コントロールゲート6の電位を2V、ドレイン領域7の電位を0.5V、ソース領域8の高電位を12Vとする。すると、コントロールゲート6及びフローティングゲート4間とフローティングゲート4及び基板(ソース領域8)間とが容量結合されており(コントロールゲート6及びフローティングゲート4間の容量≪フローティングゲート4及び基板(ソース領域8)間の容量)、この容量結合比によりフローティングゲート4の電位が9V程度に持ち上げられ、ドレイン領域7付近で発生するホットエレクトロンがフローティングゲート4側へ加速され、酸化膜3Aを通してフローティングゲート4に注入されてデータの書き込みが行われる。

【0010】一方、消去動作においては、ドレイン領域7及びソース領域8の電位を0Vとし、コントロールゲート6を14Vとする。これにより、フローティングゲート4内に蓄積されている電荷(電子)が、フローティングゲート4の角部の鋭角部分からF-N(Fowler-Nordheim tunnelling)伝導によって前記トンネル酸化膜3を突き抜けてコントロールゲート6に放出されてデータが消去される。

【0011】そして、読み出し動作においては、コントロールゲート6の電位を4Vとし、ドレイン領域7を2V、ソース領域8を0Vとする。このとき、フローティングゲート4に電荷(電子)が注入されていると、フローティングゲート4の電位が低くなるため、フローティ

ングゲート4の下にはチャンネルが形成されずドレイン電流は流れない。逆に、フローティングゲート4に電荷(電子)が注入されていなければ、フローティングゲート4の電位が高くなるため、フローティングゲート4の下にチャンネルが形成されてドレイン電流が流れる。

【0012】

【発明が解決しようとする課題】ここで、上記半導体装置は、およそ0.33 μ mプロセスで構成しているが、ここまでの微細化が進むと金属配線を被覆する最終パッシベーション膜の材質として一般的に広く用いられている例えば、シリコン窒化膜(SiN膜)を用いた場合には、そのものの誘電率の影響により金属配線間の線間容量が大きくなるという問題があった。

【0013】また、本構造の半導体装置において、その金属配線の形状が悪化していることが判った。

【0014】そして、本発明者による解析の結果、この金属配線を被覆するパッシベーション膜の材質と、金属配線の形状悪化との間で、何らかの因果関係があることを突き止めた。

【0015】即ち、図11に示すように下層膜71上に形成された金属配線72を被覆する最終パッシベーション膜73として広く用いられているシリコン窒化膜は、比較的硬い材質であり、このシリコン窒化膜で金属配線72を被覆した際に、金属配線72にストレス(図11に矢印で示したように特に、金属配線72の上面に加わるストレスが大きいようである。)がかかって形状が悪化したものと考えられる。図12(a)はいわゆる虫食い75状態を示し、図12(b)は上方から押し潰されて断面形状が台形状に変形した状態を示している。また、その金属配線が細く、長く形成されている場合に、

影響が大きいようで、形状悪化が激しくなっている。

【0016】更に、上記したフローティングゲート上にコントロールゲートが重なるために比較的段差が厳くなるような構造の半導体装置では、平坦化を図るためにシリコン窒化膜、SOG(Spin On Glass)膜(特に、無機SOG膜)及びシリコン窒化膜等の積層構造のパッシベーション膜を用いた場合に、前記無機SOG膜はそれ自身でストレスを持ってしまい、このテンシルストレスによる金属配線への影響も考えられる。

【0017】従って、本発明は金属配線を被覆する膜による当該金属配線へのストレス緩和を図ると共に、配線間の線間容量の低減化を可能にする半導体装置とその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】そこで、本発明は上記課題を解決するためになされたもので、本発明の半導体装置は、図5に示すようにフローティングゲート4とコントロールゲート6等から成るメモリセル部上に形成された金属配線10、20を被覆する膜(層間絶縁膜、パッシベーション膜)としてSiON膜を用いることで、配

線間の線間容量の低減化を図ると共に、金属配線10、20に加わるストレスを低減化して金属配線10、20の形状悪化を抑制することを特徴とする。

【0019】また、その製造方法は、例えば、図1

(a)に示すようにP型のシリコン基板1上に熱酸化して形成したゲート酸化膜3A上に導電化されたポリシリコン膜を形成した後に、このポリシリコン膜をパターンニングしてフローティングゲート4を形成する。次に、図1(b)に示すように前記フローティングゲート4を被覆するようにトンネル酸化膜3を形成し、このトンネル酸化膜3上に導電化されたポリシリコン膜とタングステンシリサイド(WSix)膜から成る導電膜6Aと絶縁膜9Aを積層した後に、この積層膜をパターンニングしてトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つようにコントロールゲート6を形成する(図2(a)参照)。続いて、図2(b)、図3(a)に示すように前記フローティングゲート4及びコントロールゲート6に隣接するように前記基板表層にN型のソース・ドレイン領域7、8を形成した後に、図3(b)に示すように下層の層間絶縁膜9を介して前記コントロールゲート6及び/または前記ソース・ドレイン領域7、8にコンタクト接続する金属配線10を形成する。更に、前記金属配線10を被覆するようにSiON膜19A、TEOS膜19B、無機SOG膜19C及びTEOS膜19Dから成る上層の層間絶縁膜19を形成する(図4参照)。そして、図5に示すように前記層間絶縁膜19上に形成した金属配線20を被覆するようにTEOS膜29A、SiON膜29Bから成るパッシベーション膜29を形成する工程とを具備したことを特徴とする。

【0020】また、他の製造方法は、例えば、図6

(a)に示すようにP型のシリコン基板1の表面を熱酸化してゲート酸化膜3Aを形成し、このゲート酸化膜3A上に導電化されたポリシリコン膜4Bを形成し、このポリシリコン膜4B上に所定のパターンの開口53Aを有するシリコン窒化膜53を形成した後に、この開口53Aを介して前記ポリシリコン膜4Bを選択酸化して選択酸化膜5を形成する。次に、図6(b)に示すようにこの選択酸化膜5をマスクにして前記ポリシリコン膜4Bをエッチングして上部に先鋭な角部4Aを有するフローティングゲート4を形成する。続いて、図6(c)に示すように前記フローティングゲート4を被覆するようにトンネル酸化膜3を形成し、このトンネル酸化膜3上に導電化されたポリシリコン膜とタングステンシリサイド(WSix)膜と絶縁膜9Aを積層した後に、この積層膜をパターンニングしてトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つようにコントロールゲート6を形成する。続いて、図2(b)、図3(a)に示すように前記フローティングゲート4及びコントロールゲート6に隣接するように前記基板表層

7

にN型のソース・ドレイン領域7、8を形成した後に、図3(b)に示すように下層の層間絶縁膜9を介して前記コントロールゲート6及び/または前記ソース・ドレイン領域7、8にコンタクト接続する金属配線10を形成する。更に、前記金属配線10を被覆するようにSiON膜19A、TEOS膜19B、無機SOG膜19C及びTEOS膜19Dから成る上層の層間絶縁膜19を形成する(図4参照)。そして、図5に示すように前記層間絶縁膜19上に形成した金属配線20を被覆するようにTEOS膜29A、SiON膜29Bから成るパッシベーション膜29を形成する工程とを具備したことを特徴とする。

【0021】

【発明の実施の形態】以下、本発明の半導体装置とその製造方法の一実施形態について図面を参照しながら説明する。尚、フローティングゲートを有する不揮発性半導体記憶装置のメモリセル部分の平面図及びその(X1-X1)断面図は、従来装置の説明で用いた図9及び図10とはほぼ同等であり、重複した説明を避けるために図示した説明は省略するが、以下、同等の構成には同符号を付して説明を簡略化する。

【0022】そして、本発明の特徴は、図10の一部拡大図である図5に示すように金属配線10、20を被覆する膜(層間絶縁膜あるいはパッシベーション膜)の構成にあり、詳しくは後述するが、このような金属配線10、20を被覆する膜として、従来、一般的に広く用いられているシリコン窒化膜(SiN膜)に代えてSiO_xN_y膜(シランとアンモニア(または窒素)のプラズマCVD法や光CVD法で、その反応雰囲気中の酸素が取り込まれて生成され、シリコンオキシナイトライド膜あるいは酸窒化シリコン膜と呼称され、以下SiON膜と言う)から成る層間絶縁膜19あるいはパッシベーション膜29を用いることで、従来装置に比してその線間容量の低減化を可能にすると共に、シリコン窒化膜により引き起こされていた金属配線へのストレスを回避したことである。

【0023】以下、このような不揮発性半導体記憶装置のメモリセル部の製造方法について、便宜的に簡略化した図面を参照しながら説明する。

【0024】先ず、図1(a)において、半導体基板1の所定の領域に素子分離膜2を形成する(図9参照)と共に、この素子分離膜2以外の表層にゲート酸化膜3Aをおよそ70Å～150Åの厚さに形成する。そして、前記ゲート酸化膜3A上にポリシリコン膜をおよそ1000Å～2000Åの厚さに形成し、リンドーブル導電化した後、周知のフォトリソグラフィ法により、このポリシリコン膜をパターンニングして、フローティングゲート4を形成する。

【0025】次に、図1(b)に示すように、前記フローティングゲート4を被覆するように前記ゲート酸化膜

8

3Aと一体形成される、厚さがおよそ200Å～400Åの絶縁膜(以下、トンネル酸化膜3と称す)を形成する。尚、前記トンネル酸化膜3は、基板上にプラズマCVD法によりCVD酸化膜、例えば、TEOS(Tetra Ethyl Ortho Si licate)膜やHTO(High Temperature Oxide)膜等を形成した後に熱酸化して成るものである。

【0026】続いて、前記基板1上の全面に例えばポリシリコン膜とタングステンシリサイド膜(WSi_x膜)とから成る2層構造の導電膜6Aを形成する。尚、前記導電膜6Aは、最初にポリシリコン膜をおよそ1000Å～2000Åの厚さに形成し、次に前記ポリシリコン膜にPOCl₃を拡散源としてリンドーブルした後、ポリシリコン膜上にタングステンシリサイド膜(WSi_x膜)をおよそ1000Å～2000Åの厚さに形成することによって得られる。そして、前記導電膜6A上におよそ2000Å～3000Åの膜厚の絶縁膜9Aを形成した後、この絶縁膜9A上にフォトレジスト膜50を形成し、このレジスト膜50のソース・ドレイン領域形成予定部に対応する位置に開口50Aを形成する。

【0027】次に、前記レジスト膜50をマスクにして絶縁膜9A及び導電膜6Aをエッチングすることにより、図2(a)に示すように上部に前記絶縁膜9Aを積層して成るコントロールゲート6を、前記トンネル酸化膜3を介して前記フローティングゲート4の上部から側壁部に跨るように形成する。そして、前記レジスト膜50を除去した後、少なくとも前記ドレイン領域形成予定部を図示しないフォトレジスト膜で被覆して、このフォトレジスト膜をマスクにして隣り合うフローティングゲート4間の基板1の表層にN型不純物、例えばリンイオンをおよそドーズ量4.0～5.0×10¹⁵/cm²、加速電圧50～100KeVの注入条件で注入してアニール処理して拡散し、ソース領域8を形成する。尚、イオン注入される前記N型不純物として、ヒ素イオン等を用いても良い。

【0028】続いて、図2(b)に示すように前記基板1上の全面にCVD法によりおよそ2000Åの膜厚の酸化膜から成る絶縁膜9Bを形成した後、図3(a)に示すように前記ソース領域8に隣接する側のフローティングゲート4及びコントロールゲート6上にフォトレジスト膜51を形成した後に、このフォトレジスト膜51をマスクにして前記絶縁膜9B及びトンネル酸化膜3を異方性エッチングして、ドレイン形成領域上面を露出させると共にサイドウォールスペーサ膜9Cを形成し、この隣り合うコントロールゲート6間の前記シリコン基板表層に例えば、リンイオンをおよそドーズ量1.0～2.0×10¹³/cm²、加速電圧40～60KeVの注入条件で注入してアニール処理してドレイン領域7を形成する。尚、イオン注入される前記N型不純物として、ヒ素イオン等を用いても良い。

10

20

30

40

50

【0029】次に、図3(b)に示すように基板1上の全面に、TEOS膜及びBPSG膜から成る層間絶縁膜9をおよそ6000Å~8000Åの膜厚で形成した後に、前記ドレイン領域7及びコントロールゲート6上に形成したコンタクトホール11内に、例えばタングステン膜等から成るプラグ10Aを形成し、このプラグ10A上に金属膜10B(例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜等)を形成して、第1の金属配線10を形成する。

【0030】更に、前記金属配線10を被覆するように上層の層間絶縁膜19を形成する。尚、図5等における前記層間絶縁膜9は、便宜的上、比較的良好な平坦性を有しているように描いてあるが、実際の層間絶縁膜9はメモリセル部による段差の影響がある(図10参照)。そこで、上層の層間絶縁膜19では平坦化処理を施す必要がある。

【0031】先ず、図4に示すように前記金属配線10を被覆するように基板全面にSiON膜19Aを、およそ500Å~2000Åの膜厚で形成する。本工程では、シラン(SiH₄)、N₂O、N₂をそれぞれ250

500 sccm~550 sccm、9400 sccm、4500 sccmの流量条件でプラズマCVD法により成膜している。

【0032】続いて、前記SiON膜19Aにおよそ8500Å~7500Åの膜厚のプラズマTEOS-SiO₂膜をプラズマCVD法により形成した後に、このプラズマTEOS膜をおよそ7000Å程度エッチバックしておよそ500Å~1500Åの膜厚のプラズマTEOS膜19Bを残膜させる。

【0033】続いて、図5に示すようにその上にSOG膜19C、TEOS膜19Dを形成して上層の層間絶縁膜19としている。尚、TEOS膜19D上にSOG膜とTEOS膜を更に形成して上層の層間絶縁膜としても良い。そして、この層間絶縁膜19を介して第1の金属配線10上にコンタクトするコンタクトホールを形成し、このコンタクトホール内にタングステンプラグを埋設させ、このプラグ上に第2の金属配線20を形成する。更に、第2の金属配線20を被覆するようにTEOS膜29Aを形成した後に、SiON膜29Bを形成し

バッシベーション膜29としている。

【0034】このように本発明では、最終バッシベーション膜として従来、一般的に広く用いられているシリコン窒化膜(誘電率、およそ7)に代えて誘電率の低いSiON膜(誘電率、およそ4.4~4.8)をバッシベーション膜として用いることで、金属配線10、20間の線間容量を従来装置に比しておよそ20%程度低減することができた(図7参照)。

【0035】また、前記SiON膜19A、29Bはシリコン窒化膜に比して材質的に“やわらかい”ものであるため、金属配線10、20を被覆した際の金属配線1

0、20へ与えるストレスが小さくなり、従来のように金属配線10、20表面が“歪んだり”、“虫食い”状態になる現象を抑制することができる。

【0036】更に言えば、平坦化処理が施されたバッシベーション膜として、従来、例えばシリコン窒化膜、無機SOG膜及びシリコン窒化膜等から成る積層構造が用いられている場合において、前記無機SOG膜はそれ自身でストレスを持ってしまい、このテンシルストレスによる金属配線への影響が生じるが、この問題に対しては、少なくとも下層のシリコン窒化膜を前記SiON膜に代えることで、上記問題の発生を抑制することができる。尚、本発明は、上層のシリコン窒化膜を前記SiON膜に代えることを妨げるものではなく、この場合には更に線間容量の低減化が可能になる。尚、シリコン窒化膜と同様にSiON膜でも、十分に水分ブロック膜としての役目を果たすものである。

【0037】これにより、不揮発性半導体記憶装置が完成する。

【0038】また、図10に示すようなフローティングゲート4の上部に先鋭な角部を形成する製造方法について、図6に基づき説明する。

【0039】先ず、図6(a)において、P型のシリコン基板1の表面を熱酸化してゲート酸化膜3Aを形成し、このゲート酸化膜3A上にリンドープされて導電化されたポリシリコン膜4Bを形成し、このポリシリコン膜4B上に所定のパターンの開口53Aを有するシリコン窒化膜53を形成した後に、この開口53Aを介して前記ポリシリコン膜4Bを選択酸化して選択酸化膜5を形成する。

【0040】次に、図6(b)に示すように、前記選択酸化膜5をマスクにして前記ポリシリコン膜4Bを異方性エッチングして上部に先鋭な角部4Aを有するフローティングゲート4を形成する。

【0041】続いて、図6(c)に示すように、前記フローティングゲート4を被覆するようにトンネル酸化膜3を形成し、このトンネル酸化膜3上に導電化されたポリシリコン膜とタングステンシリサイド(WSix)膜、更に絶縁膜9Aから成る積層膜を形成した後に、この積層膜をパターニングしてトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つようにコントロールゲート6を形成するものである。このように先鋭な角部4Aが形成されることで、データの消去動作時にフローティングゲート34の端部で電界集中が生じ易くなり、消去特性が向上する。以下、前述した後工程が順次施されることで、同様に本発明の不揮発性半導体記憶装置が完成する。

【0042】ここで、本発明装置における単位面積(sp) [μm]当たりの線間容量[pF/cm²]の測定結果は、図7に示す通りであり、6000Åの膜厚のシリコン窒化膜構造の半導体装置に比して6000Åの膜

厚のSiON膜構造の半導体装置の線間容量は、およそ20%程度低減していることが判る。また、実験ではシラン(SiH₄)流量を250sccmと550sccmとで線間容量の違いを測定したが、N含有量が10%~14%であるため、それほど極端な変化は見られなかった。

【0043】尚、SiON膜の成膜ガス種としては、N₂O、N₂、SiH₄に限らず、N₂O、SiH₄あるいはNH₃、N₂O、SiH₄等の成膜ガスを用いても良い。

【0044】また、本発明の実施形態では、スプリットゲート型フラッシュメモリに本発明を適用した実施の形態について説明したが、本発明はこれに限らず、スタックゲート型フラッシュメモリに適用しても良い。更に、本発明は上述したような一般的に不揮発性半導体記憶装置と呼ばれる半導体装置構造にのみ適用可能なものではなく、通常、広く用いられているデバイス構造の半導体装置(図8参照)に対しても適用可能なものである。

【0045】以下、このような半導体装置とその製造方法に本発明を適用した他の実施形態について説明する。

【0046】図8において、41は一導電型、例えばP型のシリコン基板で、この基板41上には素子分離膜42及びゲート酸化膜43が形成されており、44は前記ゲート酸化膜43を介して形成されたゲート電極である。

【0047】また、45、46はN型のソース・ドレイン領域で、前記ゲート電極44をマスクにしてN型の不純物(例えば、リンイオン等)をイオン注入することで当該ゲート電極44に隣接するように前記基板表層に形成されている。

【0048】47は基板全面を被覆する層間絶縁膜で、48A、48Bは当該層間絶縁膜47を介して前記ソース・ドレイン領域45、46にコンタクト接続される金属配線48で、49は本発明の特徴を為すSiON膜から成るパッシベーション膜である。

【0049】このような半導体装置に本発明を採用することで、上述したように従来装置に比して配線間の線間容量の低減化が図れる。また、SiON膜はシリコン窒化膜に比して材質的に“やわらかい”ものであるため、金属配線48を被覆した際の当該金属配線48へ与えるストレスを小さくでき、従来のように金属配線表面が

“歪んだり”、“虫食い”状態になる現象を抑制することができる。

【0050】

【発明の効果】本発明によれば、最終パッシベーション膜として従来、一般的に広く用いられているシリコン窒化膜に代えて誘電率の低いSiON膜を用いることで、金属配線間の線間容量を従来装置に比して低減化できる。

【0051】また、前記SiON膜はシリコン窒化膜に比して材質的に“やわらかい”ものであるため、金属配線を被覆した際の当該金属配線へ与えるストレスを小さくでき、従来のように金属配線表面が“歪んだり”、“虫食い”状態になる現象を抑制することができる。

【0052】更に、平坦化処理が施されたパッシベーション膜として、少なくとも無機SOG膜を含む積層構造が用いられている場合において、少なくとも前記無機SOG膜の下層にSiON膜を介在させることで、無機SOG自身が持つテンシルストレスによる金属配線への影響を抑制することができる。

【0053】また、シリコン窒化膜と同様にSiON膜は、十分に水分ブロック膜として利用できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】単位面積当たりの線間容量を示す図である。

【図8】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

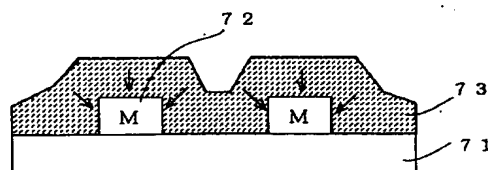
【図9】従来の半導体装置を示す平面図である。

【図10】図9の一部断面図である。

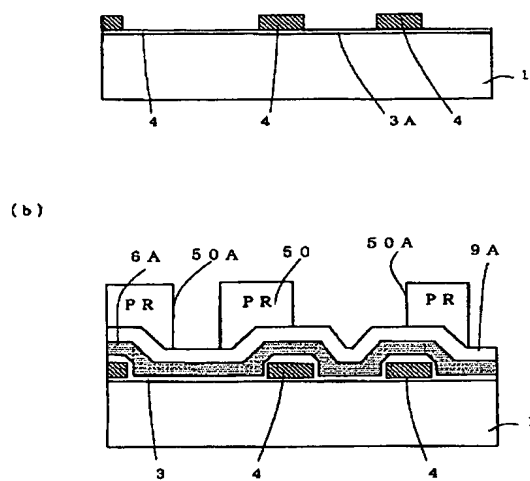
【図11】従来の課題を説明するための図である。

【図12】従来の課題を説明するための図である。

【図11】

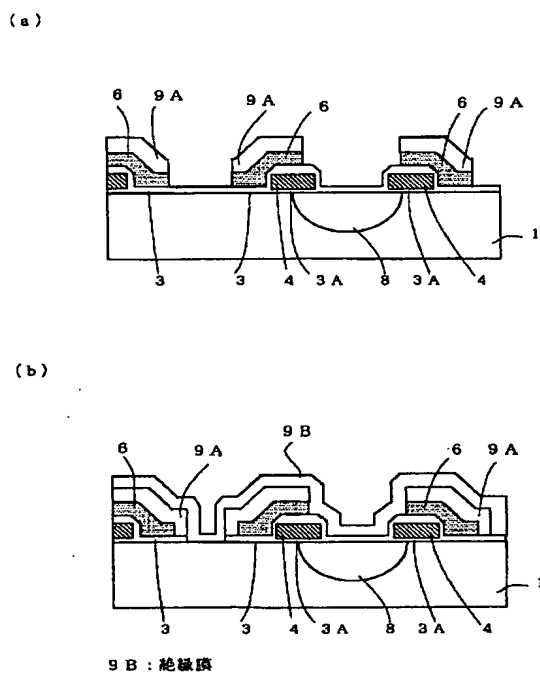


【図1】



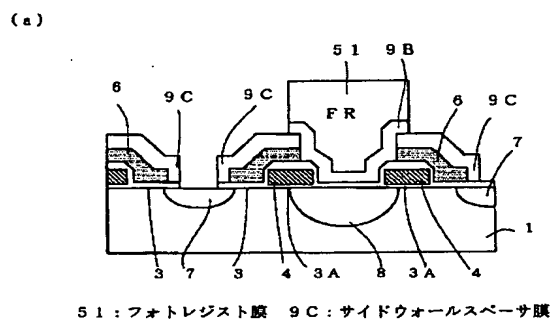
6A: 導電膜 9A: 絶縁膜 50A: 開口
50: フォトリソグ膜

【図2】



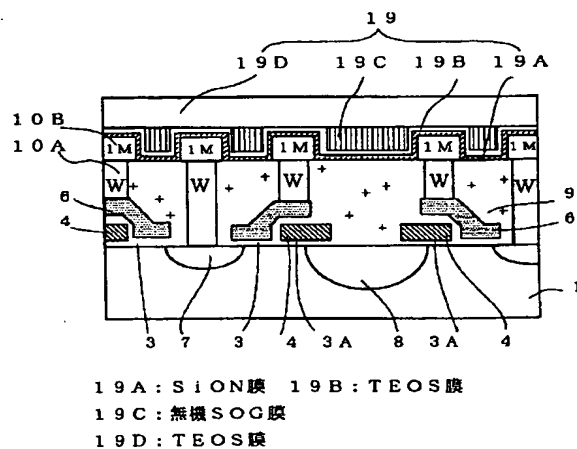
9B: 絶縁膜

【図3】



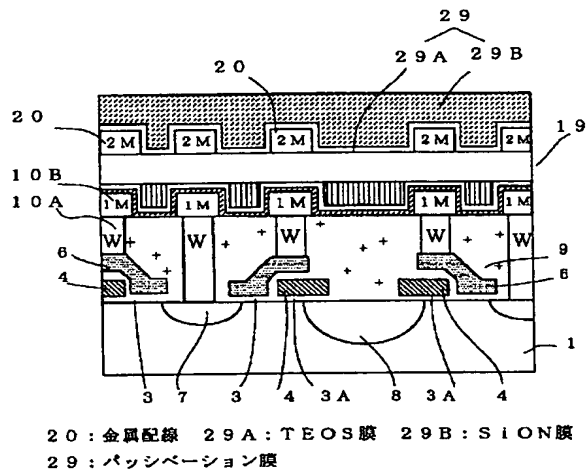
51: フォトリソグ膜 9C: サイドウォールスペーサ膜

【図4】



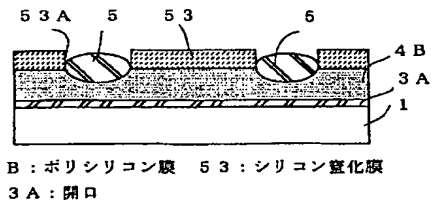
19A: SiON膜 19B: TEOS膜
19C: 無機SOG膜
19D: TEOS膜

【図5】

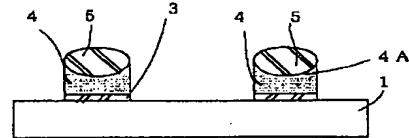


【図6】

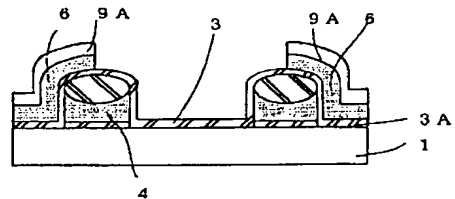
(a)



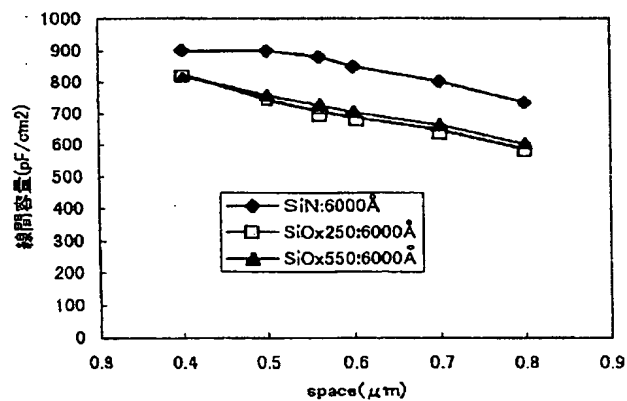
(b)



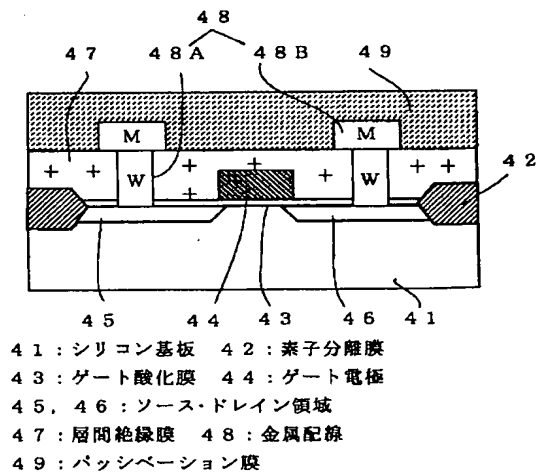
(c)



【図7】



【図8】



F ターム(参考) 5F001 AA21 AA25 AB03 AB08 AC02
AC06 AC20 AD12 AD41 AD90
AE02 AE08 AE50 AG12 AG21
5F033 HH09 JJ19 KK01 KK04 KK09
KK28 LL04 MM07 QQ08 QQ09
QQ31 QQ37 QQ59 QQ65 RR04
RR08 RR09 RR15 SS01 SS02
SS04 SS15 TT02 VV16 XX06
XX24
5F058 BA20 BC11 BD02 BD04 BD07
BD15 BF07 BF23 BF29 BF30
BJ02 BJ03
5F083 EP15 EP23 EP24 EP33 EP35
ER02 ER05 ER09 ER14 ER17
ER22 GA30 JA35 JA39 JA53
JA56 JA60 MA06 MA16 MA20
PR21 PR36
5F101 BA03 BA07 BB04 BB05 BC02
BC03 BC11 BD02 BD22 BD41
BE05 BE07 BE20 BH02 BH09